**Definición del problema:**

Como parte de los requerimientos de aprobación y/o regularización de la materia Electrónica aplicada I se plantea la necesidad de construir un sistema que plasme/aplique los conocimientos adquiridos en dicha materia. Dicho trabajo deberá ser presentado funcionando y con su respectivo informe.

**Solución propuesta:**

Construcción de un amplificador de guitarra de 1 W de potencia.

**Justificación:**

Un amplificador de guitarra integra gran parte del contenido y conceptos del programa analítico de la materia. Por lo que resulta una buena opción como tema de trabajo final.

Temas incluidos:

* Tema 1: Señales y sistemas electrónicos
* Tema 2: Transistor bipolar con señales débiles
* Tema 3: Transistor unipolar con señales débiles
* Tema 4: Transistor con señales fuertes
* Tema 5: Estabilidad del punto de reposo
* Tema 6: Amplificadores multietapa
* Tema 7: Fuentes de corriente constante
* Tema 8: Amplificador diferencial
* Tema 9: Fuentes de alimentación lineales

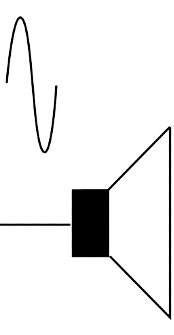
**Objetivos:**

* Integrar y aplicar los conceptos vistos en la materia y en otras también.

**Alcances y limitaciones:**

El circuito está hecho para trabajar en la banda de audiofrecuencias (20 Hz~20 kHz). Al ser baja potencia (1 W) relativa a otros amplificadores, tendrá la limitación de no ser útil en espacios muy abiertos si el objetivo es conseguir un volumen considerable. Como ventaja, se puede ajustar para que sea utilizable con auriculares. Es de suma importancia saber que dicho amplificador está diseñado para operar con impedancias de entrada de entre los 5 a 15 kΩ y de carga de 6 u 8 Ω para parlantes y 32 Ω para auriculares.

**Diagrama de bloques del amplificador para guitarra:**



ETAPA ENTRADA

ETAPA AMPLIFICADORA

ETAPA ADAPTADORA

GUITARRA

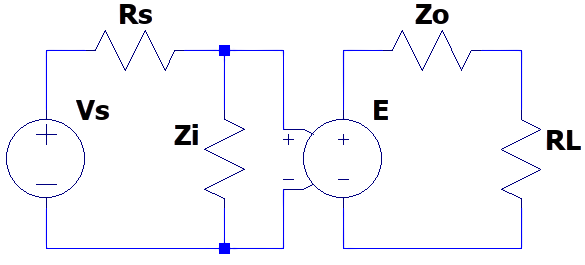
(eléctrica o

acústica)

CARGA

8 o 12 Ω

**Diagrama representativo de un Amplificador de Tensión:**

* **Condiciones del amplificador:**
  + Desde hasta (según pastilla de bobinado en las eléctricas)
  + **y**
  + **;**  **o**
  + **;**
  + **Potencia 1W**

**Síntesis:**

**Consideraciones:**

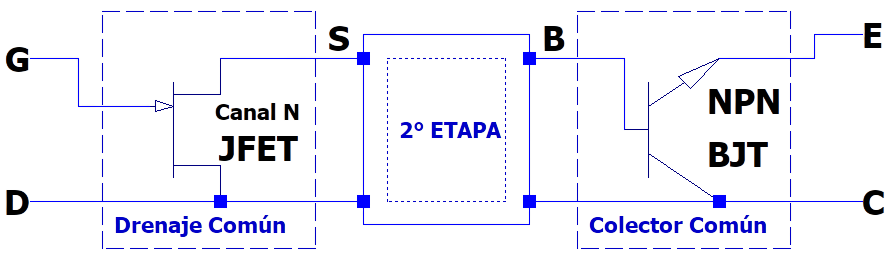
Es lógico pensar que en el momento de usar un auricular no se alcance la misma potencia que cuando se utiliza un parlante de 8 Ω. Por lo tanto, la potencia de 1 W está apuntada al diseño para el parlante.

La inversión de la señal a la salida del amplificador tiene relevancia cuando la salida es estéreo o cuando se realizan mezclas.

Lo correcto en este diseño, es agregar una Red de Zobel antes del parlante, pero para este diseño, se toma el parlante como una resistencia sin la necesidad de incluir dicha red. Tampoco se incluirá elementos de control de tono, volumen y ganancia, aunque se hará mención más adelante.

**Primer diseño propuesto:**

En la primera etapa colocar un seguidor de fuente, el cuál tiene baja ganancia de tensión ( Av<1), pero su impedancia de entrada es elevada y su impedancia de salida es baja. A continuación, la segunda etapa sería un transistor bipolar en configuración de emisor común encargado de dar la ganancia de tensión necesaria del amplificador en su conjunto. Y la etapa adaptadora se conformaría de un seguidor de emisor, ya que su impedancia de entrada es elevada y su impedancia de salida es baja.



Este diseño conlleva muchas problemáticas debido a que la segunda etapa debía tener una ganancia muy elevada, ya que tanto la etapa de entrada como la etapa de salida tienen una ganancia de tensión inferior a 1. Para mejorar dicha situación, se deberían agregar más etapas, haciendo más costoso al amplificador.

**Segundo diseño propuesto:**

Comenzando desde la carga, se propone como etapa adaptadora, mantener un seguidor de emisor con un par Darlington. La etapa amplificadora constará también de un emisor común (BJT) o un drenaje común (JFET). Finalmente, para la primera etapa se propone un amplificador diferencial.

**Pasos del diseño ETAPA 3:**

1. Determinar el valor de la carga y forma de acople al amplificador.

, se acopla por medio de un capacitor.

1. Determinar corriente y tensión en la carga para que haya 1 W
   * 1. ,
     2. ,
2. Calcular IEQ para que no haya distorsión:

Con :

Con :

Se decide optar por RE=20 Ω, debido al paso siguiente:

1. Elección de transistores:

BC141: <https://alltransistors.com/es/transistor.php?transistor=22321> ($460, beta=100, disipacion=3,7 W máx)

BCP56: <https://www.nxp.com/docs/en/data-sheet/BCP56_BCX56_BC56PA.pdf> ($640, beta=100, disipacion=1,65 W)

Se elige 2 transistores BC141-16

1. Calcular RB

,, donde

, se aproxima a valor comercial más cercano: 27 kΩ

1. Cálculo capacitores:
2. Armado de la etapa

, , , ,

1. Diseñar seguidor de emisor:
2. Calcular impedancias:
3. Calcular impedancias de la etapa:
4. Determinar la ganancia necesaria del amplificador multietapas:
5. Determinar las correspondientes ganancias de cada etapa

**Pasos del diseño ETAPA 2:**

1. Determinar el valor de la carga y forma de acople al amplificador.

Se usará en modo diferencial, donde la entrada inversora se conecta a masa y se inyecta la señal por la entrada no inversora.

Se supone que los transistores son iguales.

Por el *rechazo en modo común* la señal no deseada (ruido) que aparece comúnmente en ambas entradas de un amplificador diferencial se anula.

Configuración **salida asimétrica – entrada asimétrica**

La ganancia en modo común disminuye drásticamente al polarizar con una fuente de corriente constante, ya que la R de fuente es una resistencia de gran valor. En consecuencia aumenta CMRR y la impedancia de entrada en modo común (menos sensible al ruido).

Los transistores deben ser PNP para poder polarizarlos.

RESUMEN: HACER UN CUADRO QUE RESUMA LAS CARACTERISTICAS DE CADA ETAPA Zo Zi Av Ai Ap

PONER TODOS LOS CALCULOS AL FINAL DE ESTE INFORME

AGREGAR CORRECION:

En la 3ra etapa con los cálculos originales, se veía la onda cortada en los ciclos negativos, por ende significaba que el/los transistores estaban trabajando en una zona de corte (IC=0) (COLOCAR FOTO). Se solucionó de dos maneras. Aumentando la corriente IE para que el punto de trabajo se desplace hacia arriba. Aumentando la fuente de continua un Volt. Para aumentar IE se disminuyó RB1 y se aumentó RB2.

Problema que aún no tiene solución: la ganancia no es de 0,99 y no se logra la transferencia calculada a la carga, Av simulada es 0,94; Vorms carga es 2,69V; Ilrms es 0,34A ; PL = 0,91 W. Se observó que al disminuir el valor de CL (capacitor a carga) disminuye el valor de señal transferida a la carga. Cseñal tienen comportamiento similar pero no es tanta la diferencia entre los valores.Óptimo hasta el momento Cseñal = 10uF y CL = 1000uF

En el caso que no se pueda corregir 0,94 a 0,99, la segunda etapa debe compensarlo: con una ganancia de 46,83. La pregunta es, ¿sería conveniente que en el control de ganancia se pueda sobrepasar estos 46,83 y colocar una ganancia por ejemplo de 48? Es decir, que la ganancia máxima sea 48 y la mínima 1,18

El primer modelo planteado del diferencial fue con NPN pero para ello se necesitaba o una fuente negativa o duplicar VCC para hacer un divisor resistivo. Se cambiaron estos por PNP y de esta manera VCC se mantiene igual y no se agrega otra fuente.

Se le agregaron 2 resistores en las bases de los transistores RB1 y RB2, para la polarización, debido a que sino, la tensión VBE sería mayor a 0,7 (imposible)

Se supone que a la entrada de esta etapa, la señal será aproximadamente 91 mV (siendo que la entrada al amplificador es 100mV). Se considera pequeña señal, por lo que los transistores tienen beta minimo de 100 (por lo general aunque queda determinar cuales se van a usar) La salida esperada es no menor a 4V

**PREGUNTAS:**

¿Que un amplificador sea de 1W significa que este es su máximo o que debe ser lo normal que entrega? Si es lo normla, ¿cómo determinar la potencia máxima? ¿Sería 1,5W?

¿Es una carga activa o fuente de polarización?

¿Es posible hacer RC=0?

RC conviene que sea 0 para no disminuir rendimiento (es un realimentación en CC)(capaz gana estabilidad)

¿Acople directo o con capacitores?

Ventaja de hacerlo con capacitores es que cada etapa se calcula por serparado. Desventaja posible, pérdida de bajas frecuencias

¿Cómo evitar perder graves por culpa de los capacitores?

Directo no conviene por baja estabilidad (cambios en la fuente son peligrosos)

¿Cómo determino VCC? ¿El valor de ganancia lo determina? Ya sé que le voy a demandar más de 1 Ampere debido a que la última etapa tiene IE=0,8A (maximo)

¿Qué pasa si aumenta el beta o disminuye?

**Descripción de las partes y funcionamiento del circuito:**

**Tabla de materiales y componentes (Amplificador):**

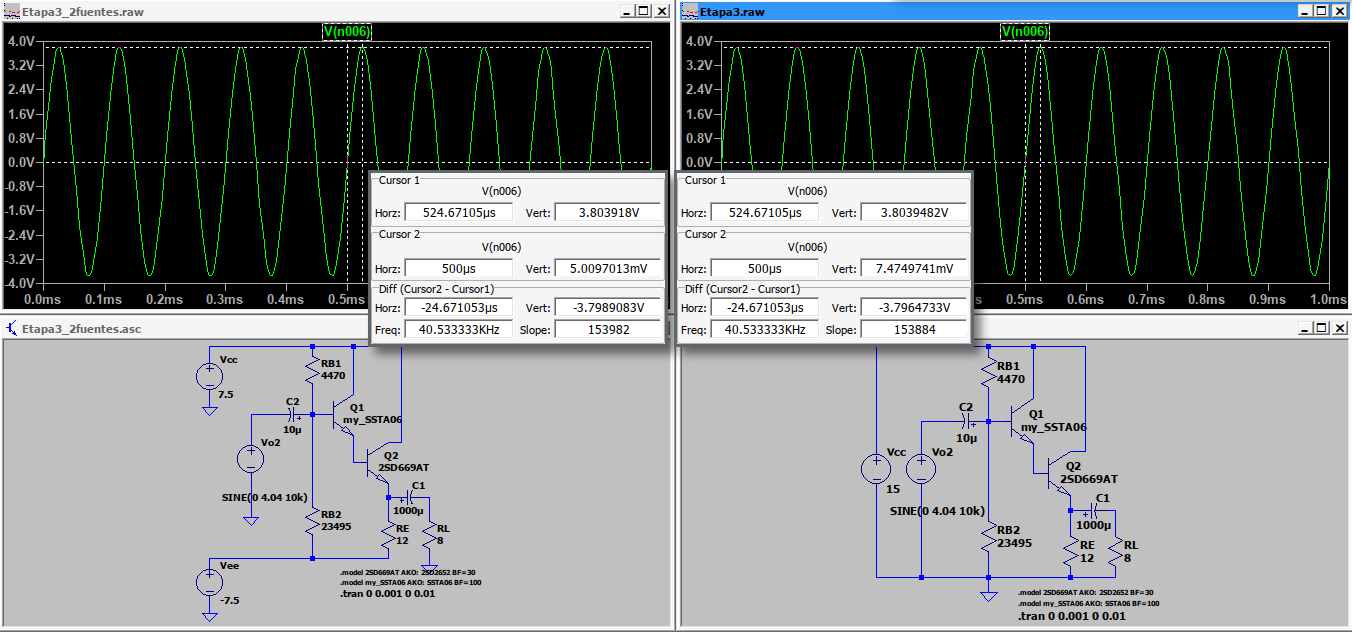
**Por qué se opta por una fuente regulada:**

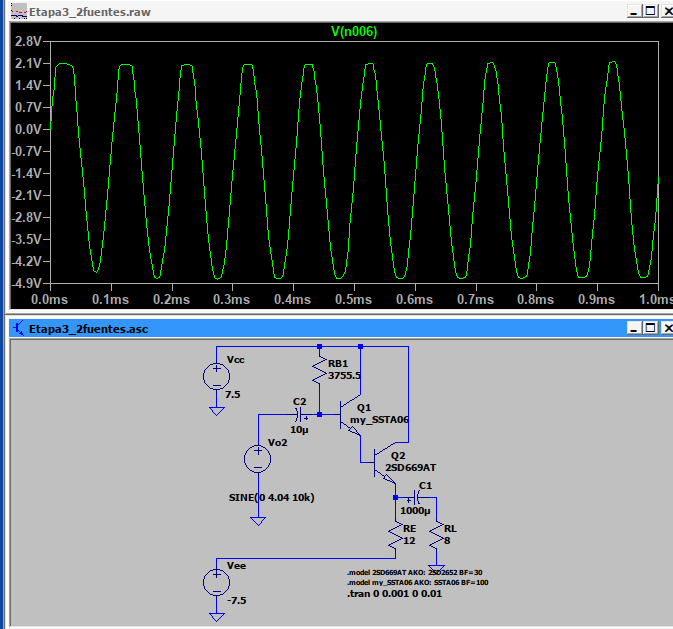
(por qué no usar directamente un transformador con puente rectificador?)

**Tabla de materiales y componentes (Fuente regulada):**

**PLANTEO DE 2 FUENTES**

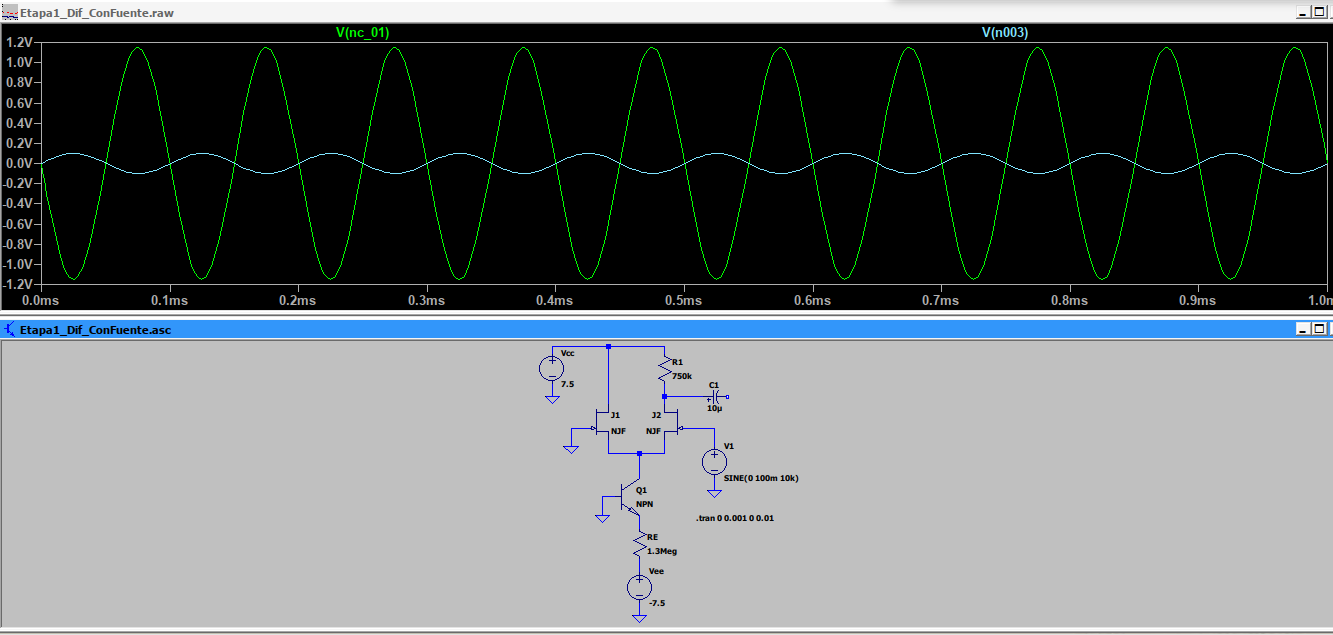
Para la 3era etapa dividir las fuentes da el mismo resultado. Se prueba eliminando un resistor de parte de las 2 fuentes para observar si el resultado es el mismo

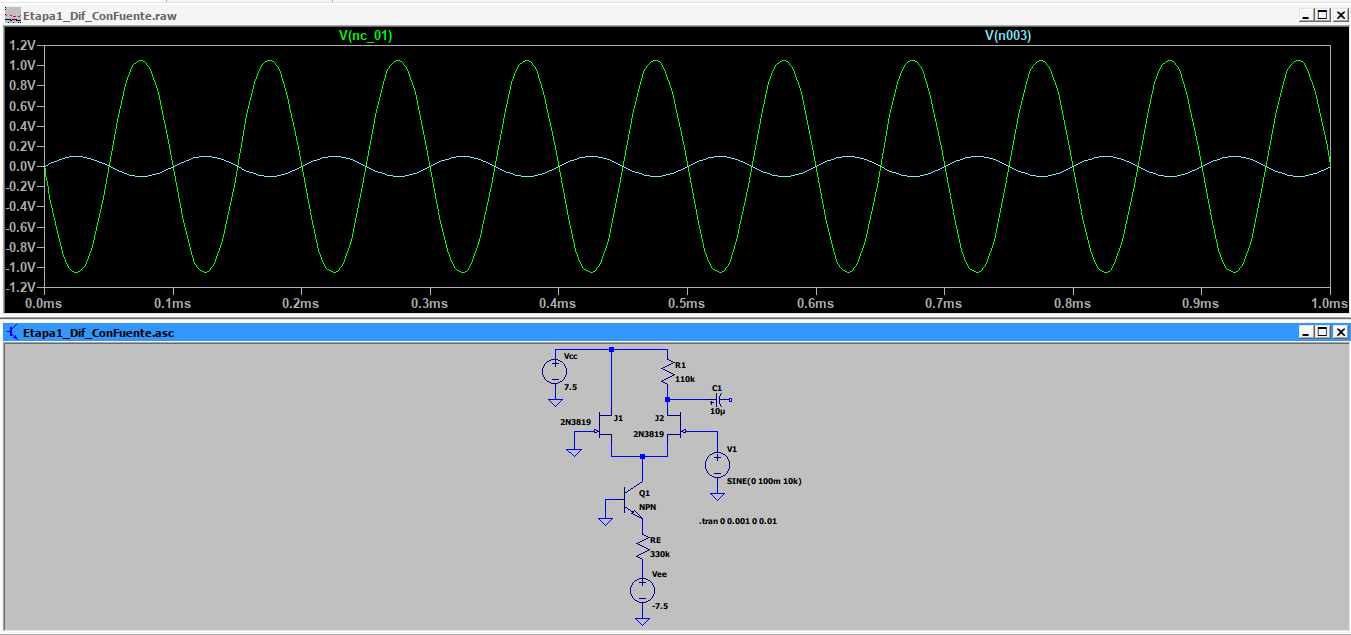


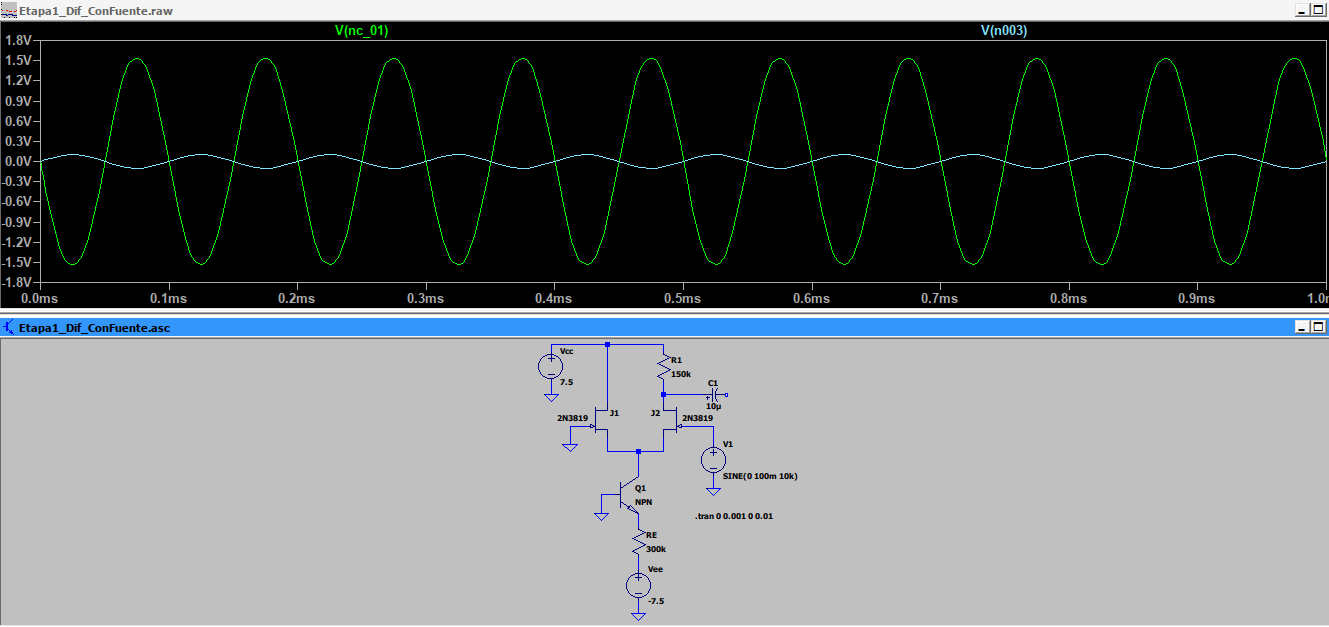
Se observa deformación (**explorar el por qué**)

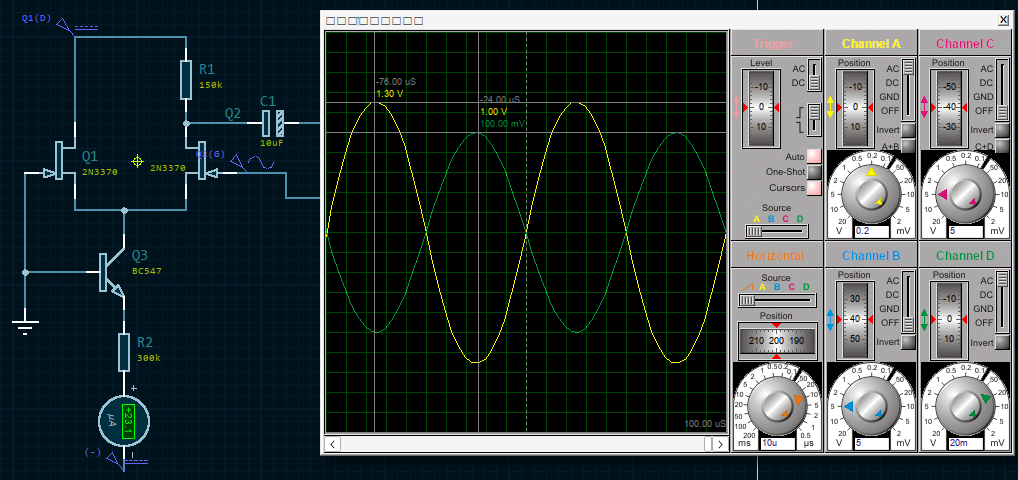
Probar espejo simple con JFETs ya que se supone que no hay corriente en compuerta, por ende la Iref=0, y el espejo no funcionaría.

Se propone BJT polarizado en región activa.

Primer Intento

Segundo intento (Con transistores 2n3819)

Tercer intento (Buenos resultados al cambiar de transitores JFET y buenos resultados en proteus)



Etapa 2

ICQ en necesaria: 12.24 mA

Para ganancia de 3: RE=110

Vre=1.3464

Vce = Vcc/2 = 7.5

Vcc-Vrc-Vce-Vre=0 ⇒ Vce = Vcc-Vrc-Vre = 9.6144

Para disminuir la tension se puede aumentar Re con un cap en paralelo:

Re =[(Vcc-Vrc-Vce)/Ic]-110 = 172.745

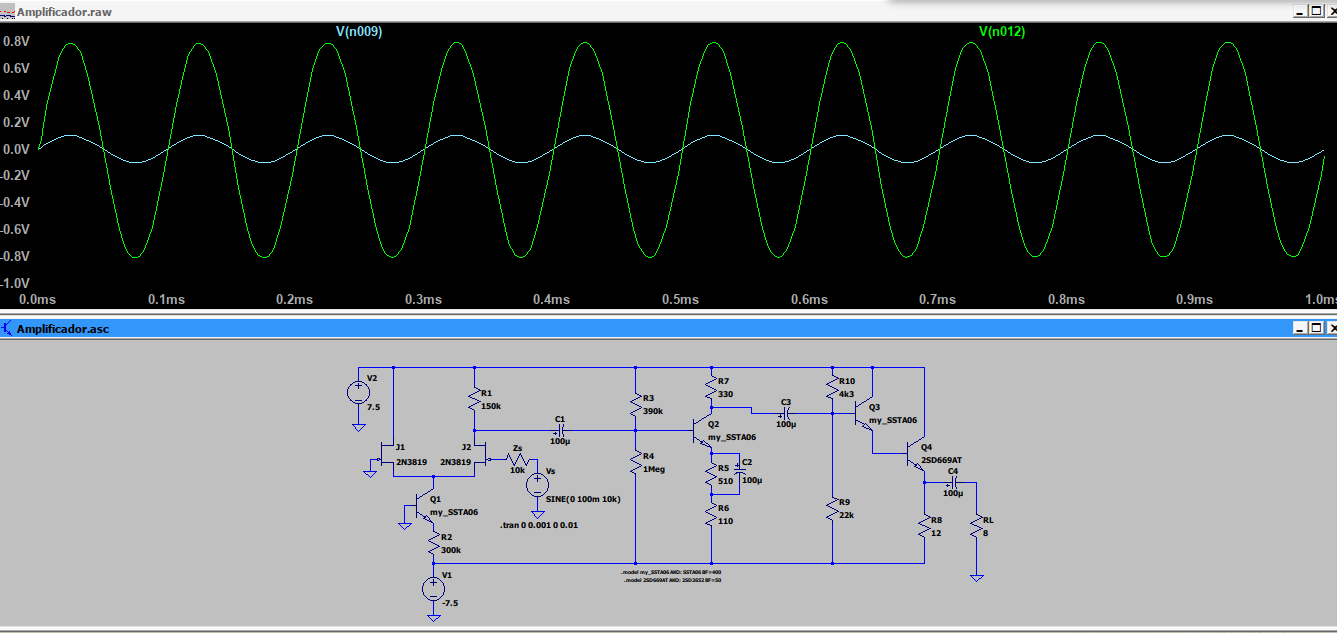
RE total = 282.75

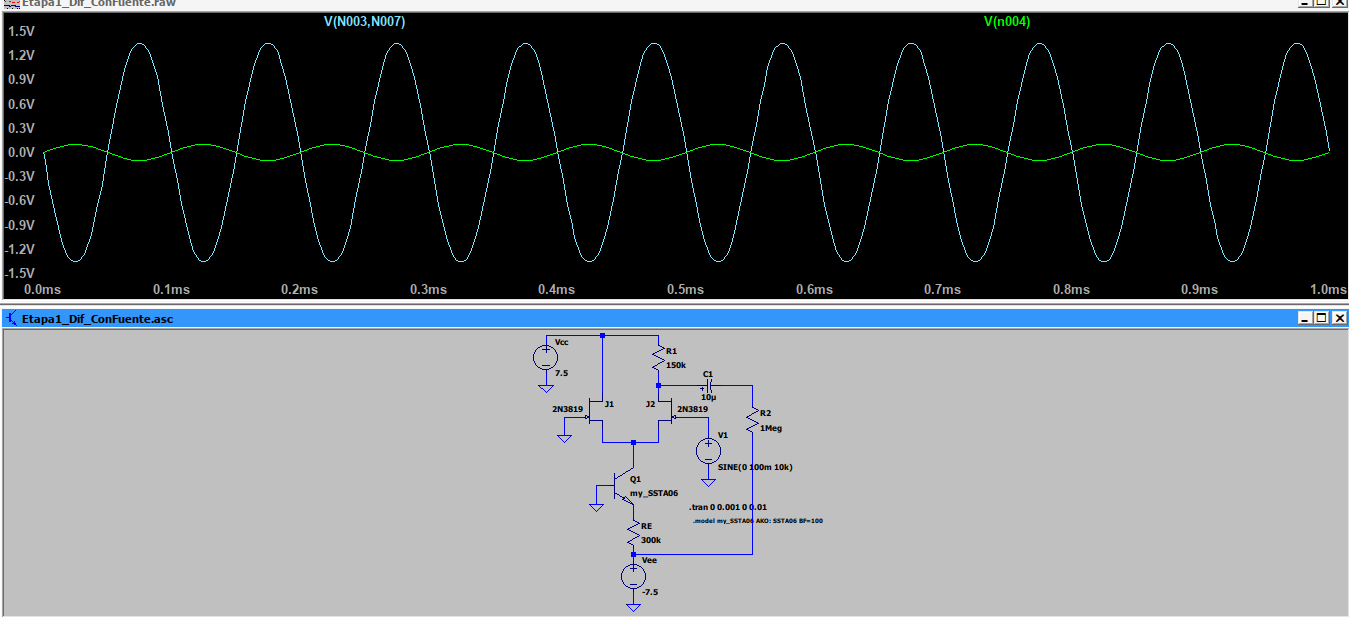
RB < 0.1\*beta\*REtot=2k8275

Vth = 4.4224

RB1=9.570 135 747 × 103

RB2=3.998 109 641 × 103

Unido, está atenuando

Se observa que para el diferencial planteado, la impedancai de carga que evita una pérdida en la transferencia es 1 Mega, la cual no es posible de lograr con la etapa de EC acoplada.

**PLANTEO DE SOLUCION:** Amplificador diferencial con BJT y reemplazar emisor común con JFET en fuente común (ver si su impedancia de salida puede ser menor o igual a 330)

PAGINA 476

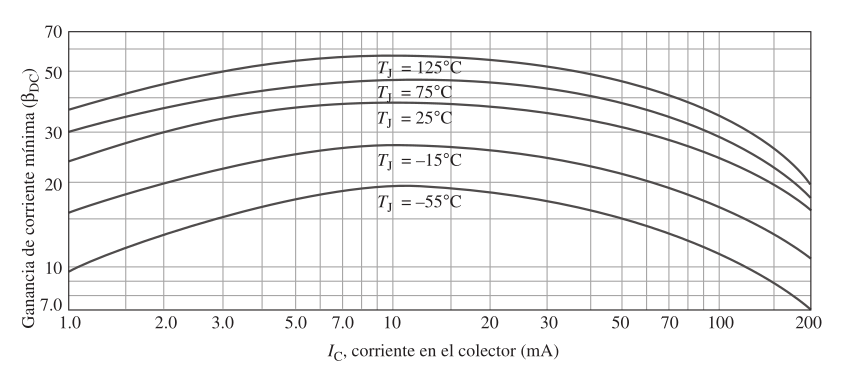
https://youtu.be/t31tAMHDw-E

La impedancia de salida de un JFET depende del dispositivo, RD y RL, si RL»RD => RL||RD=RD; RD<330Ohms; Diseño propuesto con RD=100 Ohms y polarización por Fuente de corriente

Se decide no usar JFETs debido a que su impedancia de salida no puede ser baja

𝐴𝑑𝑚 ≅−𝛼𝑅𝐶/2𝑟𝑒

Impedancia de entrada de segunda etapa es aprox RB//beta\*re=2.86//beta\*re; beta\*re da aprox 1 k; la impedancia de salida del diferencial debe ser 100 ohms

**El producto de VCE e IC no debe exceder la disipación de potencia máxima. Tanto VCE como**

**IC no pueden ser máximos al mismo tiempo. Si VCE es máximo, IC se calcula como**

**IC =PD(máx)/VCE**

**Si IC es máxima, VCE se calcula reordenando la ecuación previa como sigue:**

**VCE =PD(máx)/IC**

**PD(máx) normalmente se especifica a 25°C; a temperaturas más altas, PD(máx) es menor.**

**Si un amplificador no se polariza con voltajes de cd correctos a la entrada**

**y salida, puede irse a saturación o a corte cuando se aplique una señal de entrada.**